

Scanned 2/18/2005

Family list**1 family member for:****JP6333826**

Derived from 1 application.

1 CRYSTAL GROWTH METHOD AND MANUFACTURE OF FILM TRANSISTOR

Publication info: JP6333826 A - 1994-12-02

Data supplied from the esp@cenet database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04661926 **Image available**

CRYSTAL GROWTH METHOD AND MANUFACTURE OF FILM TRANSISTOR

PUB. NO.: 06-333826 [JP 6333826 A]

PUBLISHED: December 02, 1994 (19941202)

INVENTOR(s): TSUKAMOTO HIRONORI

YAMAMOTO HIROSHI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-147041 [JP 93147041]

FILED: May 25, 1993 (19930525)

INTL CLASS: [5] H01L-021/20; H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass

Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
Implantation)

ABSTRACT

PURPOSE: To make possible crystal growth in a specified area by solid phase growth, by forming stress-concentration area in a specified area of an amorphous semiconductor layer, for obtaining a TFT crystal excellent in element characteristics using the crystal.

CONSTITUTION: In crystal growth method, a recessed or projecting stress inductive part 14 is formed on a base body 13, and then on the base body 13 containing the stress inductive part 14, an amorphous semiconductor layer 15 is deposited, so that a stress-concentration area 16 is formed at the amorphous semiconductor layer 15 near the stress inductive part 14, and then by solid phase growth, with the stress-concentration area 16 as a core, a crystal 17 is grown for forming an amorphous semiconductor layer 18. Or, the recessed stress inductive part 14 may be formed on the front

side of the amorphous semiconductor layer 15, for growth of the crystal 17.

In manufacture of TFT, through not shown in the figure, a layer where a TFT channel area and source drain area are provided is formed by the crystal growth method.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333826

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl. ⁵

識別記号

F 1

H01L 21/20

8122-4M

21/336

29/784

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数 5 F D (全11頁)

(21) 出願番号 特願平5-147041

(22) 出願日 平成5年(1993)5月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 塚本 弘範

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 山本 博士

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

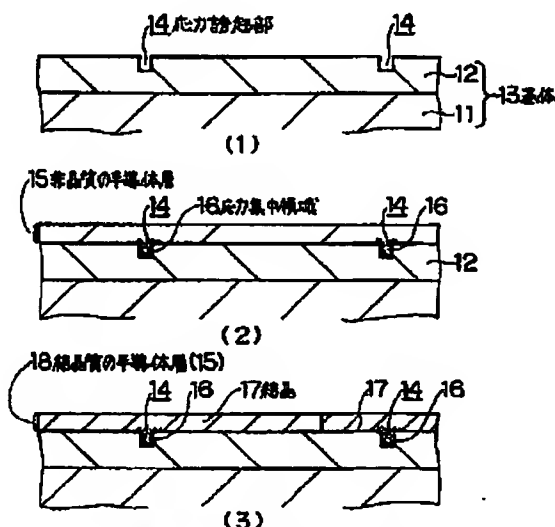
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 結晶成長方法および薄膜トランジスタの製造方法

(57) 【要約】

【目的】 本発明は、非晶質の半導体層の所定領域に応力集中領域を形成することで、固相成長法によって、所定の領域に結晶成長を行うことを可能にし、この結晶を用いて、素子特性に優れたTFTの結晶を図る。

【構成】 結晶成長方法は、基体13上に凹状または凸状の応力誘起部14を形成し、次いで応力誘起部14を含む上記基体13上に非晶質の半導体層15を堆積して、応力誘起部14の近傍における非晶質の半導体層15に応力集中領域16を形成し、その後固相成長法によって、応力集中領域16を核にして結晶17を成長させて結晶質の半導体層18を形成する。あるいは非晶質の半導体層15の表面側に凹状の応力誘起部14を形成して結晶17を成長させてもよい。また図示はしないが、TFTの製造方法において、上記結晶成長方法を用いてTFTのチャネル領域やソース・ドレイン領域を設ける層を形成する。



第1の実施例における結晶成長方法の工程図

【特許請求の範囲】

【請求項1】 局部的に応力集中領域を有する非晶質の半導体層を形成した後、固相成長法によって、前記応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成することを特徴とする結晶成長方法。

【請求項2】 請求項1記載の結晶成長方法であって、基体上に凹状または凸状の応力誘起部を形成する第1の工程と、

前記応力誘起部上を含む前記基体上に非晶質の半導体層を堆積することにより、当該応力誘起部の近傍における当該非晶質の半導体層に応力集中領域を形成する第2の工程と、

固相成長法によって、前記応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する第3の工程とを行うことを特徴とする結晶成長方法。

【請求項3】 請求項1記載の結晶成長方法であって、基体上に非晶質の半導体層を堆積する第1の工程と、前記非晶質の半導体層の表面側に凹状の応力誘起部を形成することにより、当該応力誘起部の近傍における当該非晶質の半導体層に応力集中領域を形成する第2の工程と、

固相成長法によって、前記応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する第3の工程とを行うことを特徴とする結晶成長方法。

【請求項4】 基板の上面に絶縁層を形成した後、当該絶縁層の上面側に凹状または凸状の応力誘起部を形成する第1の工程と、

前記応力誘起部上を含む前記絶縁層上に非晶質の半導体層を堆積することにより、当該応力誘起部の近傍における当該非晶質の半導体層に応力集中領域を形成する第2の工程と、

固相成長法によって、前記応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する第3の工程と、

前記結晶質の半導体層の表面にゲート絶縁膜を形成する第4の工程と、

前記応力誘起部上を除く前記結晶質の半導体層上に、前記ゲート絶縁膜を介してゲート電極を形成する第5の工程と、

前記ゲート電極の両側における前記結晶質の半導体層にソース・ドレイン領域を形成する第6の工程とを行うことを特徴とする薄膜トランジスタの製造方法。

【請求項5】 上面に絶縁層を形成してなる基体の当該絶縁層上にゲート電極を形成する第1の工程と、

前記ゲート電極の表面にゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜を介して前記ゲート電極を覆う状態

に、非晶質の半導体層を成膜する第3の工程と、

前記ゲート電極上を除く前記非晶質の半導体層の上面側に凹状の応力誘起部を形成して、当該応力誘起部の近傍における非晶質の半導体層に応力集中領域を形成する第4の工程と、

固相成長法によって、前記応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する第5の工程と、

前記ゲート電極の両側における前記結晶質の半導体層にソース・ドレイン領域を形成する第6の工程とを行うことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、固相成長法による結晶成長方法およびその結晶成長方法を用いて形成する薄膜トランジスタの製造方法に関するものである。

【0002】

【従来の技術】 液晶表示装置の画素駆動用のトランジスタ、その周辺素子のトランジスタ、負荷素子型のスタティックRAM（以下SRAMと記す）等には、非晶質（アモルファス）状シリコンあるいは多結晶シリコン（ポリシリコン）の薄膜を用いた薄膜トランジスタ〔以下TFT（Thin Film Transistor）と記す〕が使われている。そして、オン電流特性、サブスレッショルド特性、オン／オフ電流比特性等に高性能を要求されるTFTにおいては、通常多結晶シリコンが用いられている。

【0003】 しかし、多結晶シリコンは結晶シリコンに比べ、シリコン原子の未結合手が高密度に存在しているので、それら未結合手がスイッチング時においてリーク電流の発生原因になっている。その結果、スイッチオン時の動作速度を低下させる原因になっている。したがって、TFTの特性を向上させるには、結晶欠陥が少ない均一性に優れた多結晶シリコン薄膜を形成することが要求される。

【0004】 そのような多結晶シリコン薄膜の形成方法としては、化学的気相成長法や固相成長法等が提案されている。またリーク電流などの原因になる未結合手を減少させる手段としては、多結晶シリコン薄膜中に水素をドーピングすることによって、未結合手に水素を結合させるという、水素化技術が行われている。

【0005】 また固相成長法では、結晶の粒径を1 μ m以上の大きさに形成することができる。そのような結晶上に形成したTFTでは、低リークで電流駆動能力が大きなトランジスタ特性を得ることができる。

【0006】

【発明が解決しようとする課題】 しかしながら、化学的気相成長法によって、大きな粒径の結晶を成長させて多結晶シリコン膜を形成すると、その膜厚は不均一になる。そして化学的気相成長法では、均一な膜厚の多結晶シリコン膜を得ることは難しい。このため、多結晶シリ

コン膜を用いて素子特性の均一なトランジスタを形成することが難しくなる。

【0007】また固相成長法による多結晶シリコンの形成方法では、結晶の形成位置がランダムであるため、結晶と結晶との境界（粒界）がトランジスタのチャネル領域に交わる場合が生じる。このように、粒界がチャネル領域に交わると、リーク電流やしきい値電圧にばらつきを生じ、トランジスタの信頼性が低下する。さらにはTFTのライフタイムが短くなる。

【0008】本発明は、結晶欠陥を低減して均一に結晶成長がなされる結晶成長方法およびその結晶成長方法を用いた薄膜トランジスタの製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた結晶成長方法および薄膜トランジスタの製造方法である。すなわち、結晶成長方法としては、局部的に応力集中領域を有する非晶質の半導体層を形成した後、固相成長法によって、応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する。

【0010】例えば、第1の工程で、基体上に凹状または凸状の応力誘起部を形成する。次いで第2の工程で、応力誘起部を含む上記基体上に非晶質の半導体層を堆積することにより、当該応力誘起部の近傍における当該非晶質の半導体層に応力集中領域を形成する。続いて第3の工程で、固相成長法によって、応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する。

【0011】または、例えば第1の工程で、基体上に非晶質の半導体層を堆積する。次いで第2の工程で、非晶質の半導体層の表面側に凹状の応力誘起部を形成する。続いて第3の工程で、固相成長法によって、応力誘起部の近傍における非晶質の半導体層の応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する。

【0012】薄膜トランジスタの製造方法としては、第1の工程で、基板上に絶縁層を形成した後、当該絶縁層の上面側に凹状または凸状の応力誘起部を形成する。次いで第2の工程で、応力誘起部を含む絶縁層上に非晶質の半導体層を堆積して成膜することにより、当該応力誘起部の近傍における当該非晶質の半導体層に応力集中領域を形成する。続いて第3の工程で、固相成長法によって、応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する。そして第4の工程で、結晶質の半導体層の表面にゲート絶縁膜を形成する。続いて第5の工程で、応力誘起部上を除く結晶質の半導体層上に、ゲート絶縁膜を介してゲート電極を形成する。その後第6の工程で、ゲート電極の両側における結晶質の半導体層にソース・ドレイン領

域を形成する。

【0013】別の薄膜トランジスタの製造方法としては、第1の工程で、上面に絶縁層を形成してなる基体の当該絶縁層上にゲート電極を形成する。次いで第2の工程で、ゲート電極の表面にゲート絶縁膜を形成する。続いて第3の工程で、ゲート絶縁膜を介してゲート電極を覆う状態に、非晶質の半導体層を成膜する。そして第4の工程で、ゲート電極上を除く非晶質の半導体層の上面側に凹状の応力誘起部を形成して、当該応力誘起部の近傍における非晶質の半導体層に応力集中領域を形成する。続いて第5の工程で、固相成長法によって、応力集中領域を核にして結晶を成長させて、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する。その後第6の工程で、ゲート電極の両側における結晶質の半導体層にソース・ドレイン領域を形成する。

【0014】

【作用】上記結晶成長方法では、局部的に応力集中領域を有する非晶質の半導体層を形成した後、その応力集中領域を固相成長法における結晶成長の核にして結晶を成長させることにより、所望の領域に多結晶あるいは単結晶よりなる結晶質の半導体層が形成される。

【0015】例えば、基体上に凹状または凸状の応力誘起部を形成し、その上に非晶質の半導体層を堆積することで、応力誘起部上に堆積した非晶質の半導体層の密度とその他の領域に堆積した非晶質の半導体層の密度とに密度差が生じる。この密度差による応力を生じる領域が、応力集中領域になって、固相成長法による結晶成長の核になる。そして応力集中領域を起点として結晶が成長し、その領域は他の領域よりも早く結晶化が進行して、所定の領域に多結晶あるいは単結晶よりなる結晶質の半導体層を形成する。

【0016】または、非晶質の半導体層の表面側に凹状の応力誘起部を形成することで、当該応力誘起部の角部における非晶質の半導体層に応力集中領域が形成される。この応力集中領域が固相成長法における結晶成長の核になって結晶が成長し、その領域は他の領域よりも早く結晶化が進行する。そして所定の領域に多結晶あるいは単結晶よりなる結晶質の半導体層を形成する。

【0017】薄膜トランジスタの製造方法では、絶縁層の上面側における所望の位置に凹状または凸状の応力誘起部を形成することにより、応力誘起部の近傍における非晶質の半導体層に応力集中領域が形成される。そして固相成長法によって、応力集中領域より結晶が成長して多結晶あるいは単結晶よりなる結晶質の半導体層が形成されることにより、少なくとも薄膜トランジスタのチャネル領域は、応力誘起部上を除く単一の結晶に形成される。

【0018】別の薄膜トランジスタの製造方法では、形成しようとする薄膜トランジスタのチャネル領域を外した当該非晶質の半導体層の上面側に凹状の応力誘起部を

形成することにより、その近傍の非晶質の半導体層に応力集中領域が形成される。そして固相成長法によって、応力集中領域より結晶が成長して多結晶あるいは単結晶よりなる結晶質の半導体層が形成されることにより、少なくとも薄膜トランジスタのチャネル領域は、応力誘起部を除く結晶質の半導体層の単一の結晶に形成される。

【0019】

【実施例】本発明は、局部的に応力集中領域を有する非晶質の半導体層を堆積した後、固相成長法によって、その応力集中領域を核にして結晶を成長させることにより、多結晶あるいは単結晶よりなる結晶質の半導体層を形成する。その一例を第1の実施例として、図1の製造工程図により説明する。

【0020】図1の(1)に示すように、半導体基板11の上面に絶縁層12を形成してなる基板13がある。上記半導体基板11は、例えばシリコン基板よりなり、上記絶縁層12は、例えば膜厚が300nmの酸化シリコンよりなる。まず第1の工程では、通常のホトリソグラフィ技術とエッチングとによって、上記絶縁層12の上面側に凹状の応力誘起部14を形成する。上記応力誘起部14は、例えば深さが100nmの四角形状の穴で形成されている。この応力誘起部14の形状は、四角形状の穴に限るものではなく、三角以上の多角形状の穴であればよく、また円形状の穴であってもよい。また穴径は、1μm以下に設定することが望ましい。

【0021】次いで図1の(2)に示す第2の工程を行う。この工程では、ステップカバリッジ性に優れた成膜が行える化学的気相成長法によって、上記応力誘起部14を埋め込む状態にして上記絶縁層12の上面に非晶質の半導体層15を堆積する。この非晶質の半導体層15は、例えば膜厚が100nmの非晶質シリコンよりなる。このようにして、上記応力誘起部14の近傍の上記非晶質の半導体層15には、応力集中領域16(網目で示す領域)が形成される。

【0022】その後図1の(3)に示す第3の工程とを行う。この工程では、まず焼き締めアニール処理を行う。この焼き締めアニール処理は、例えば、450℃の温度雰囲気中に1時間放置することにより行う。次いで通常の固相成長アニール処理を行う。この固相成長アニール処理は、例えば、600℃の温度雰囲気中に8時間～12時間放置することにより行う。このとき、応力集中領域16(網目で示す領域)を結晶成長の核にして、非晶質の半導体層(15)に結晶17を固相成長させることにより、結晶質の半導体層18を形成する。この結晶質の半導体層18は、成長した結晶17の径の大きさが、例えば5μm～10μm程度の多結晶シリコン層よりなる。または単結晶よりなる。

【0023】上記結晶成長方法では、絶縁層12上に形成した応力誘起部14を埋め込む状態に非晶質の半導体層15を成膜することで、応力誘起部14の近傍の当該

非晶質の半導体層15に応力集中領域16が形成される。

【0024】すなわち、上記応力誘起部14上に堆積した非晶質の半導体層15の密度とその他の領域に堆積した非晶質の半導体層15の密度とに密度差が生じる。この密度差によって生じる応力集中領域16が固相成長法による結晶成長の核になるので、この領域を起点とする結晶成長は他の領域よりも早く進行する。したがって、所望の位置に応力誘起部14を形成することにより、非晶質の半導体層15に応力集中領域16が形成される。そして固相成長法によって、その応力集中領域16が核になって結晶成長が始まって、結晶17が形成される。このように、膜応力が強い領域(応力集中領域16)が結晶の核になり易い性質を利用して結晶17を成長させ、結晶質の半導体層18を形成している。

【0025】また応力誘起部14の段差部分の幅が長くなる(例えば1μmを越える長さになる)と、応力誘起部14の段差部分より複数の結晶が成長し始めて、多結晶になる。したがって、一つの応力誘起部14より一つの単結晶を成長させるには、当該応力誘起部14の径を1μm以下にすることが望ましい。また応力誘起部14は、その深さを非晶質の半導体層15の膜厚の1/3程度またはそれよりも深く形成することが望まれる。

【0026】また上記説明では、絶縁層12を酸化シリコンで形成したが、例えば図2に示すように、絶縁層12を複数層に形成してもよい。例えば、化学的気相成長法によって、半導体基板11上に窒化酸化シリコン膜19を、例えば200nmの膜厚に形成する。続いて化学的気相成長法によって、酸化シリコン膜20を、例えば100nmの膜厚に形成する。このようにして、窒化酸化シリコン膜19と酸化シリコン膜20とにより絶縁層12が構成される。

【0027】その後、通常のホトリソグラフィ技術とエネルギーとによって、上記酸化シリコン膜20に応力誘起部14を形成する。この応力誘起部14は、穴状に形成され、その底部には窒化酸化シリコン膜19が露出する状態になっている。

【0028】このように応力誘起部14の底部に窒化酸化シリコン膜19が露出することにより、窒化酸化シリコン膜19と酸化シリコン膜20との界面には応力が発生し易くなり、そのため、その後に形成される非晶質の半導体層15にも応力が生じ易くなる。

【0029】また上記図1、図2で説明した方法では、上記絶縁層12に応力誘起部14を凹状に形成したが、図示はしないが、例えば応力誘起部14を凸状に形成することにより、非晶質の半導体層15に応力集中領域16を形成することもできる。

【0030】さらに上記絶縁層12の材質は、上記説明したものに限定されることなく、例えば酸化窒化シリコンまたは窒化シリコン等のように絶縁性を有し、かつ

形成した応力誘起部14の近傍における非晶質の半導体層15に応力集中領域16を形成するものであれば、その材質は問わない。

【0031】次に第2の実施例として、非晶質の半導体層に応力集中領域を形成し、その領域より結晶を成長させる一例を、図3の製造工程図により説明する。図3では、上記図1で説明したと同様の構成部品には同一符号を付す。

【0032】図3の(1)に示すように、半導体基板11の上面に絶縁層12を形成してなる基体13がある。10
上記半導体基板11は、例えばシリコン基板よりなり、上記絶縁層12は、例えば膜厚が300nmの酸化シリコンよりなる。まず第1の工程では、化学的気相成長法によって、上記絶縁層12の上面に非晶質の半導体層15を堆積する。この非晶質の半導体層15は、例えば膜厚が100nmの非晶質シリコンよりなる。

【0033】次いで図3の(2)に示す第2の工程を行う。この工程では、通常のホトリソグラフィ技術とエッチングとによって、上記非晶質の半導体層15の上面側10
に凹状の応力誘起部21を形成する。上記応力誘起部21は、例えば深さが40nmの四角形状の穴で形成されている。この応力誘起部21の形状は、四角形状の穴に限るものではなく、三角以上の多角形状の穴であればよく、また円形状の穴であってもよい。このようにして、上記応力誘起部21の近傍の上記非晶質の半導体層15には、応力集中領域16(網目で示す領域)が形成される。

【0034】その後図3の(3)に示す第3の工程とを行う。この工程では、まず焼き締めアニール処理を行う。この焼き締めアニール処理は、例えば、450℃の10
温度雰囲気中に1時間放置することにより行う。次いで通常の固相成長アニール処理を行う。この固相成長アニール処理は、例えば、600℃の温度雰囲気中に8時間~12時間放置することにより行う。このとき、応力集中領域16(網目で示す領域)を核にして、結晶17を固相成長させることにより、非晶質の半導体層(15)に結晶質の半導体層18を形成する。この結晶質の半導体層18は、成長した結晶17の径の大きさが、例えば5μm~10μm程度の多結晶シリコン層よりなる。

【0035】上記結晶成長方法では、非晶質の半導体層15の表面側に応力誘起部21を形成することで、局所的に10
応力が集中する状態に、その近傍の非晶質の半導体層15に応力集中領域16を形成する。このため、応力集中領域16が核になって、所定の領域に結晶が成長する。このように、膜応力が強い領域が結晶の核になりやすい性質を利用して、多結晶あるいは単結晶よりなる結晶質の半導体層18が形成される。

【0036】上記図1で説明した結晶成長方法を用いたトップゲート型の薄膜トランジスタの製造方法の一例を、図4、図5の製造工程図(その1)、(その2)に10

より説明する。なお、上記図1で説明したと同様の構成部品には同一の符号を付す。

【0037】まず図4の(1)に示すように、第1の工程では、例えば化学的気相成長法によって、半導体基板11の上面に絶縁層12を形成する。上記半導体基板11は、例えばシリコン基板よりなり、上記絶縁層12は、例えば膜厚が300nmの酸化シリコンよりなる。

【0038】続いて、上記図1の(1)で説明したと同様にして、通常のホトリソグラフィ技術とエッチングとによって、上記絶縁層12の上面側に凹状の応力誘起部14を形成する。この応力誘起部14は、例えば深さが100nmの四角形状の穴で形成されている。この応力誘起部14の形状は、四角形状の穴に限るものではなく、三角以上の多角形状の穴であればよく、また円形状の穴であってもよい。また穴径は、1μm以下に設定することが望ましい。

【0039】次いで上記図1の(2)で説明したと同様にして、図4の(2)に示す第2の工程を行う。この工程では、ステップカバリッジ性に優れた成膜が行える化学的気相成長法によって、上記応力誘起部14を埋め込む状態に、上記絶縁層12の上面に非晶質の半導体層15を堆積する。この非晶質の半導体層15は、例えば膜厚が100nmの非晶質シリコンよりなる。このようにして、上記応力誘起部14の近傍の上記非晶質の半導体層15には、応力集中領域16(網目で示す領域)が形成される。

【0040】その後上記図1の(3)で説明したと同様にして、図4の(3)に示す第3の工程とを行う。この工程では、まず焼き締めアニール処理を行う。この焼き締めアニール処理は、例えば、450℃の温度雰囲気中に1時間放置することにより行う。次いで固相成長アニール処理を行う。この固相成長アニール処理は、例えば600℃の温度雰囲気中に8時間~12時間放置することにより行う。このとき、応力集中領域16が核になって結晶17が成長して、非晶質の半導体層(15)は多結晶あるいは単結晶よりなる結晶質の半導体層18になる。この結晶質の半導体層18は、例えば5μm~10μm程度の径の結晶17よりなる。

【0041】次いで図5の(4)に示す第4の工程を行う。この工程では、ホトリソグラフィ技術とエッチングとによって、上記結晶質の半導体層18の2点鎖線で示す部分を除去して、残した結晶質の半導体層18で導電層形成領域31を形成する。続いて例えば化学的気相成長法によって、上記導電層形成領域31の表面にゲート絶縁膜32を、例えば30nmの膜厚に形成する。

【0042】続いて図5の(5)に示す第5の工程を行う。この工程では、例えば化学的気相成長法によって、上記ゲート絶縁膜32を覆う状態に不純物を導入した多結晶シリコン膜33を、例えば100nmの膜厚に形成する。その後ホトリソグラフィ技術とエッチングとに

よって、多結晶シリコン膜33の2点鎖線で示す部分を除去する。そして残した多結晶シリコン膜(33)で、上記応力誘起部14上にオーバーラップしない状態にして、上記導電層形成領域31上にゲート絶縁膜32を介してゲート電極34を形成する。この際、ゲート電極34の下方に形成されるチャネル領域35は単一の結晶17に形成される。

【0043】その後図5の(6)に示す第6の工程を行う。この工程では、ホトリソグラフィ技術によって、例えばレジストよりなるイオン注入マスク36を形成する。そしてイオン注入法によって、上記ゲート電極34の両側における上記導電層形成領域31に不純物を導入し、ソース・ドレイン領域37、38を形成する。各ソース・ドレイン領域37、38は、望ましくは単一の結晶17に形成する。その際のイオン注入条件としては、例えば打ち込みエネルギーを10keVに設定し、ドーズ量を $3\text{P}/\text{cm}^2$ に設定して、ホウ素イオン(B^+)を導入する。あるいは打ち込みエネルギーを35keVに設定し、ドーズ量を $3\text{P}/\text{cm}^2$ に設定して、二フッ化ホウ素イオン(BF_2^+)を導入する。その後、アッシャー処理またはウェットエッチング等によって、上記イオン注入マスク36を除去する。そして、ソース・ドレイン領域37、38の活性化アニール処理を行う。アニール処理条件としては、例えば、アニール処理温度を900℃に設定し、そのアニール処理時間を20分間に設定する。

【0044】さらに図5の(7)に示すように、化学的気相成長法によって、層間絶縁膜39を150nm~200nmの膜厚に形成する。層間絶縁膜39はPSG膜またはBPSG膜等の酸化シリコン系膜あるいは窒化シリコン膜より形成される。

【0045】その後、通常の配線形成技術によって、コンタクトホール40、41、42を形成する。さらにコンタクトホール40、41、42を通して、当該ゲート電極34、当該ソース・ドレイン領域37、38に接続する電極43、44、45を形成する。それからシンタリング処理を行う。このようにして、トップゲート型の薄膜トランジスタ1が形成される。

【0046】上記トップゲート型の薄膜トランジスタ1の製造方法では、絶縁層12の上面側における所望の位置に応力誘起部14を形成することにより、応力誘起部14の近傍における非晶質の半導体層15に応力集中領域16が形成される。そして固相成長法によって、応力集中領域16より結晶17が成長して多結晶あるいは単結晶よりなる結晶質の半導体層18を形成することにより、薄膜トランジスタ1のチャネル領域35は単一の結晶17に形成される。またソース・ドレイン領域37、38もチャネル領域35と同一の単一の結晶17に形成される。

【0047】上記図3で説明した結晶成長方法を用いた

ボトムゲート型の薄膜トランジスタの製造方法の一例を、図6、図7の製造工程図(その1)、(その2)により説明する。なお、上記図3で説明したと同様の構成部品には同一の符号を付す。

【0048】図6の(1)に示すように、半導体基板11の上面に絶縁層12を形成してなる基体13がある。上記半導体基板11は、例えばシリコン基板よりなり、上記絶縁層12は、例えば膜厚が300nmの酸化シリコンよりなる。先ず第1の工程を行う。この工程では、例えば化学的気相成長法によって、上記絶縁層12上に不純物を導入した多結晶シリコン膜51を、例えば100nmの膜厚に形成する。その後ホトリソグラフィ技術とエッチングとによって、多結晶シリコン膜51の2点鎖線で示す部分を除去し、残した多結晶シリコン膜51でゲート電極52を形成する。

【0049】次いで図6の(2)に示すように、例えば化学的気相成長法によって、上記ゲート電極52を覆う状態にして上記絶縁層12上に絶縁膜53を形成する。さらに例えば塗布技術によって、表面が平坦な平坦化膜54を形成する。上記絶縁膜53は、例えば酸化シリコン膜よりなり、上記平坦化膜54は、例えばSOG(Spin on glass)またはレジスト等よりなる。その後エッチング処理を行って、上記ゲート電極52の上面が露出するまで、上記平坦化膜54(2点鎖線で示す部分)と絶縁膜53(2点鎖線で示す部分)とをエッチングする。このようにして、上記ゲート電極52の上面と上記残した絶縁膜53の上面とをほぼ同一高さにする。

【0050】次いで図6の(3)に示す第2の工程を行う。この工程では、例えば化学的気相成長法または熱酸化法等によって、上記ゲート電極52の上面にゲート絶縁膜55を、例えば30nmの膜厚に形成する。

【0051】続いて図6の(4)に示す第3の工程を行う。この工程では、ステップカバリッジ性に優れた成膜が行える化学的気相成長法によって、上記ゲート絶縁膜55側の上面に、非晶質の半導体層15を堆積する。この非晶質の半導体層15は、例えば膜厚が100nmの非晶質シリコンよりなる。

【0052】次いで図7の(5)に示す第4の工程を行う。この工程では、通常のホトリソグラフィ技術とエッチングとによって、上記非晶質の半導体層15の上面側に凹状の応力誘起部21を形成する。上記応力誘起部21は、例えば深さが40nmの四角形状の穴に形成されている。この応力誘起部21の形状は、四角形状の穴に限るものではなく、角形状の穴もしくは円形状の穴でもよい。このようにして、上記応力誘起部21の近傍の上記非晶質の半導体層15には、応力集中領域16(網目で示す領域)が形成される。

【0053】その後図7の(6)に示す第5の工程とを行う。この工程では、まず、例えば450℃の温度雰囲気中に1時間放置する焼き締めアニール処理を行う。次

いで通常の固相成長アニール処理を行う。この固相成長アニール処理は、例えば、600℃の温度雰囲気中に8時間～12時間放置することにより行う。このとき、応力集中領域16（網目で示す領域）を核にして結晶17を固相成長させることにより、多結晶または単結晶よりなる結晶質の半導体層18を形成する。この成長した結晶17は、例えば5μm～10μm程度の粒径を有する。このように結晶17を成長させることにより、上記ゲート電極52上には一つの結晶17によって、チャンネル領域56が形成される。

【0054】そして図7の（7）に示す第6の工程を行う。この工程では、ホトリソグラフィ技術によって、所定の位置にイオン注入マスク57を形成する。その後イオン注入法によって、上記ゲート電極52の両側における上記結晶質の半導体層18にソース・ドレイン領域58、59を形成する。その際のイオン注入条件は、上記図5の（6）で説明したと同様なので、ここでの説明は省略する。その後、例えばアッシャー処理またはウェットエッチング等によって、上記イオン注入マスク57を除去する。

【0055】次いでホトリソグラフィ技術とエッチングとによって、上記チャンネル領域56と上記ソース・ドレイン領域58、59とよりなるパターンを上記ゲート電極52上を横切る状態に形成する。それからソース・ドレイン領域58、59の活性化アニール処理を行う。この活性化アニール処理は、上記図5の（6）で説明したと同様なので、ここでの説明は省略する。

【0056】さらに図7の（8）に示すように、上記図5の（6）で説明したと同様にして、化学的気相成長法によって、上記ソース・ドレイン領域58、59側の上面に層間絶縁膜60を形成する。その後、通常の配線形成技術によって、コンタクトホール61、62、63を形成する。次いでソース・ドレイン領域58、59とゲート電極52に接続する電極63、64、65を形成する。ここで、電極65は、チャンネル領域56が形成されていない部分で上記ゲート電極52上に形成される。それからシンタリング処理を行う。上記の如くに、ボトムゲート型の薄膜トランジスタ2が形成される。

【0057】上記ボトムゲート型の薄膜トランジスタ2の製造方法では、チャンネル領域56、ソース・ドレイン領域58、59等が形成される領域の非晶質の半導体層15を外した当該非晶質の半導体層15の上面側に応力誘起部21を形成することにより、その近傍の非晶質の半導体層15に応力集中領域16が形成される。そして固相成長法によって、応力集中領域16より結晶17が成長して多結晶あるいは単結晶よりなる結晶質の半導体層18が形成されることにより、チャンネル領域56、ソース・ドレイン領域58、59等になる領域は、結晶質の半導体層18の単一の結晶17で形成される。

【0058】また非晶質の半導体層15を成膜する際

に、下地を平坦化したことにより、非晶質の半導体層15に形成した応力誘起部21のみより結晶の成長が始まる。

【0059】上記説明したような平坦化処理を行わないで、図8に示すように、ゲート電極52の表面にゲート絶縁膜55を形成し、さらにそれを覆う状態に非晶質の半導体層15を形成した場合には、ゲート電極52の角部近傍における非晶質の半導体層15に応力集中領域67、68が生じる。このように、応力集中領域67、68を生じた場合には、固相成長法により結晶を成長させたときに、応力集中領域67、68からも結晶が成長し始める。このため、チャンネル領域56を形成する領域に結晶粒界69を生じる。したがって、非晶質の半導体層15を形成する際には、その下地を平坦化することが必要になる。

【0060】次に非晶質の半導体層15を形成する下地を平坦化する別の方法を、図9の形成工程図により説明する。なお上記図6、図7で説明したと同様の構成部品には同一符号を付す。

【0061】図9の（1）に示すように、通常にホトリソグラフィ技術とエッチングとによって、半導体基板11の上面に形成した絶縁層12の上面側に、溝状のゲート電極埋め込み部71を形成する。その後例えば化学的気相成長法によって、上記ゲート電極埋め込み部71のを埋め込む状態にして上記絶縁層12上に、ゲート電極形成膜72を形成する。さらに例えば塗布技術によって、レジストまたはSOG等よりなる平坦化膜73を成膜する。その後エッチバック処理を行って、上記平坦化膜73（2点鎖線で示す部分）と上記ゲート電極形成膜72の一部分（2点鎖線で示す部分）を除去することにより、上記ゲート電極埋め込み部71にゲート電極形成膜72よりなるゲート電極52を形成する。

【0062】その後、図9の（2）に示すように、例えば化学的気相成長法または熱酸化法等によって、上記ゲート電極52の上面にゲート絶縁膜55を形成する。そして例えば化学的気相成長法によって、ゲート絶縁膜55の上面側に、非晶質の半導体層15を形成する。上記図9で説明した方法によっても、非晶質の半導体層15を成膜する下地を平坦化することが可能になる。そして、あらためて図示しないが、上記図7の（5）～（8）で説明したと同様にして、ボトムゲート型の薄膜トランジスタ2を形成する。

【0063】なお、上記各実施例における説明で示した数値は一例であって、その値に限定されることはない。

【0064】

【発明の効果】以上、説明したように本発明の各結晶成長方法によれば、例えば、非晶質の半導体層を応力誘起部上に形成する、あるいは非晶質の半導体層に応力誘起部を形成することで、当該非晶質の半導体層の所望の位置に応力集中領域を形成することができる。したがっ

て、その領域を核にして結晶を成長させることで、所望の領域に結晶質の半導体層を形成することができる。

【0065】また本発明の各種膜トランジスタの製造方法では、非晶質の半導体層における所定の位置に応力誘起部を設けることで当該非晶質の半導体層に応力集中領域を形成し、その領域より結晶を成長させたので、少なくともチャネル領域を一つの結晶に形成することができる。このため、薄膜トランジスタの立ち上がり特性とともにリーク特性の向上が図れる。さらに薄膜トランジスタの電流駆動能力を向上することができ、しきい値電圧のばらつきを低減することができる。またソース・ドレイン領域を一つの結晶に形成することで、ソース・ドレイン領域の低抵抗化が図れる。さらに、上記薄膜トランジスタをSRAMの負荷素子に用いた場合には、低消費電力化が達成できるとともに、耐 α 線特性が向上し、ソフトエラー耐性が高まるので、信頼性の向上が図れる。

【図面の簡単な説明】

【図1】第1の実施例における結晶成長方法の工程図である。

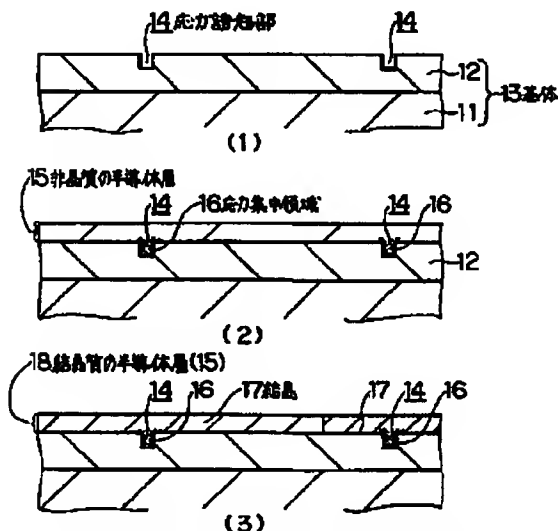
【図2】応力誘起部の形成方法の説明図である。

【図3】第2の実施例における結晶成長方法の工程図である。

【図4】トップゲート型の薄膜トランジスタの製造工程図（その1）である。

【図5】トップゲート型の薄膜トランジスタの製造工程図（その2）である。

【図1】



第1の実施例における結晶成長方法の工程図

【図6】ボトムゲート型の薄膜トランジスタの製造工程図（その1）である。

【図7】ボトムゲート型の薄膜トランジスタの製造工程図（その2）である。

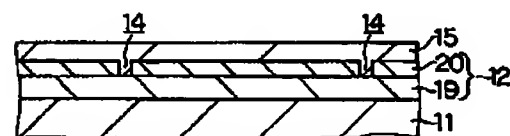
【図8】下地平坦化の必要性の説明図である。

【図9】下地の平坦化方法の説明図である。

【符号の説明】

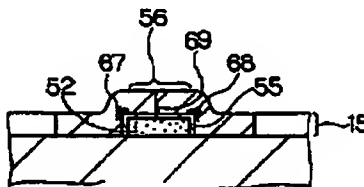
- | | | | |
|----|------------------|----|------------|
| 1 | トップゲート型の薄膜トランジスタ | 12 | 絶縁層 |
| 2 | ボトムゲート型の薄膜トランジスタ | 14 | 応力誘起部 |
| 11 | 半導体基板 | 16 | 応力集中領域 |
| 13 | 基体 | 18 | 結晶質の半導体層 |
| 21 | 応力誘起部ト絶縁膜 | 32 | ゲート電極 |
| 34 | ゲート電極・ドレイン領域 | 37 | ソース・ドレイン領域 |
| 38 | ソース・ドレイン領域ト電極 | 52 | ゲート電極 |
| 56 | ゲート絶縁膜 | 58 | ソース・ドレイン領域 |
| 59 | ソース・ドレイン領域 | | |

【図2】



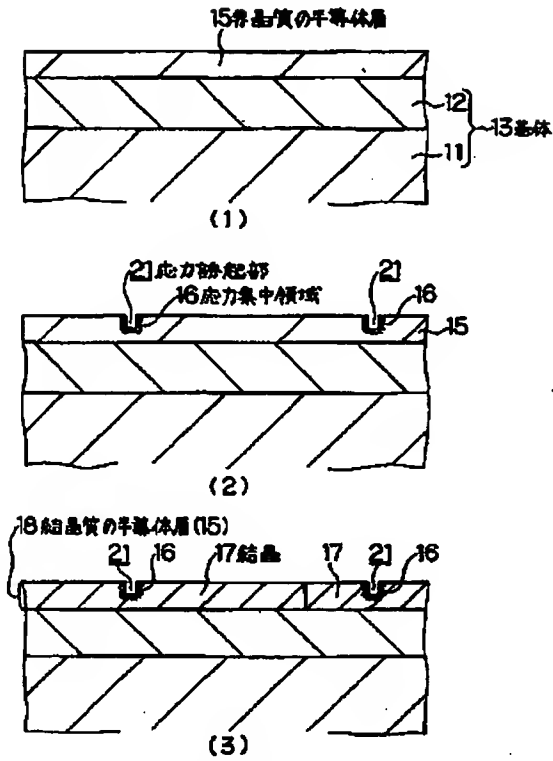
応力誘起部の形成方法の説明図

【図8】



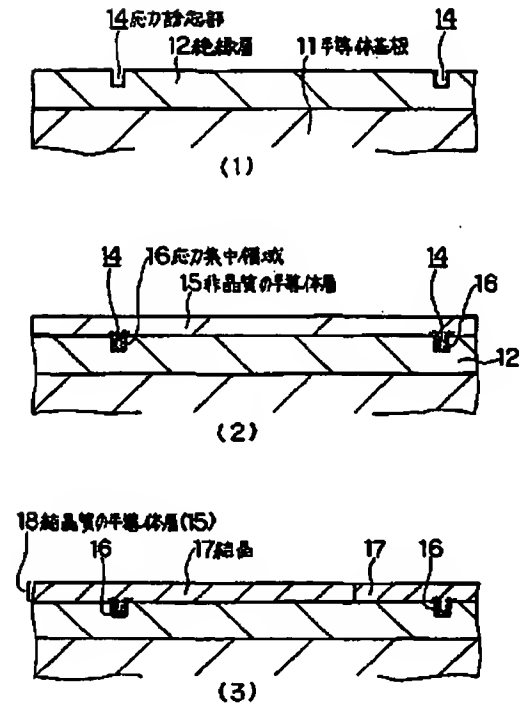
下地平坦化の必要性の説明図

【図3】



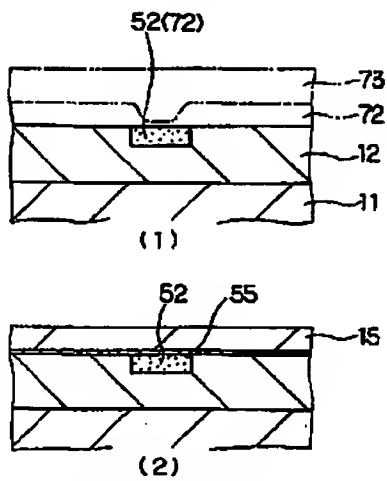
第2の実施例における結晶成長方法の工程図

【図4】



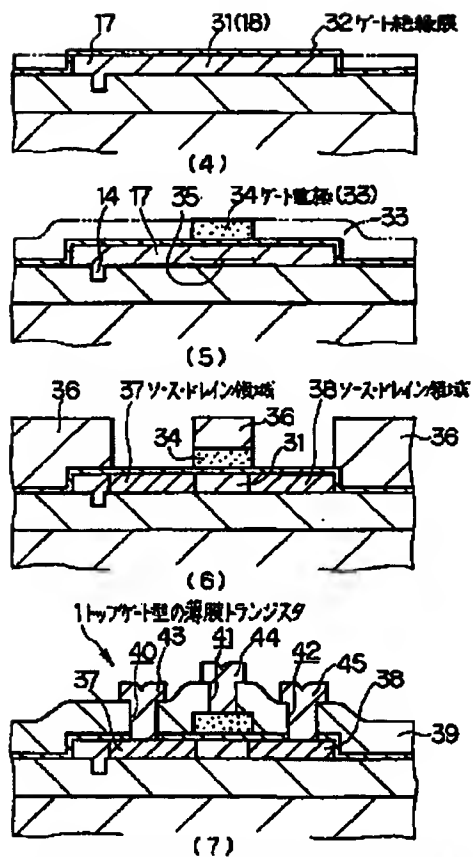
トリアゲト型の薄膜トランジスタの製造工程図(その1)

【図9】



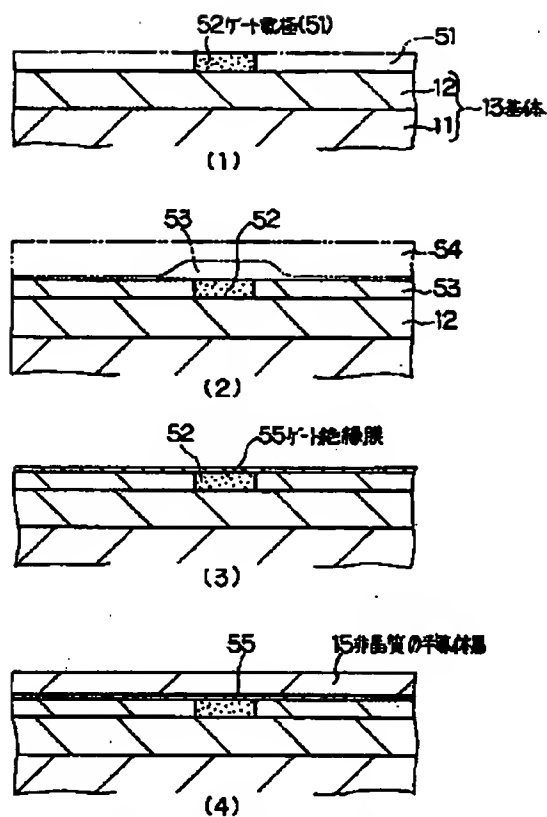
下地の平坦化方法の説明図

【図5】



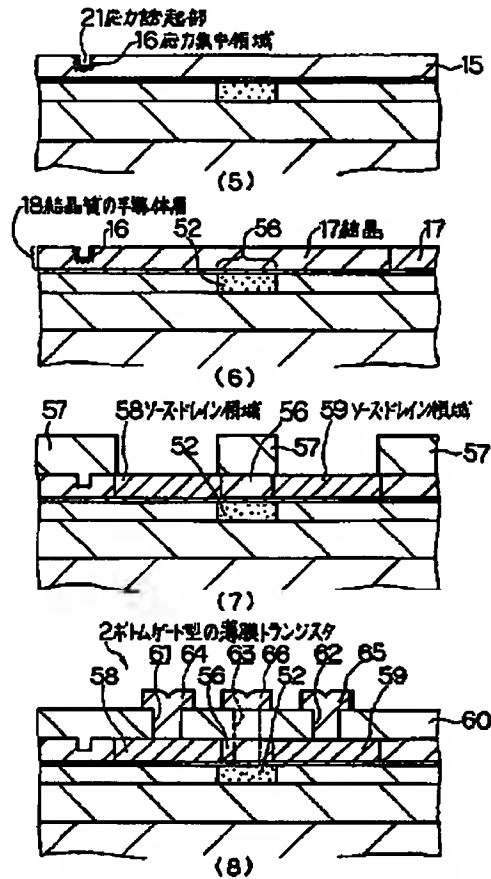
トップゲート型の薄膜トランジスタの製造工程図(その2)

【図6】



ボトムゲート型の薄膜トランジスタの製造工程図(その1)

【図7】



ボトムゲート型の薄膜トランジスタの製造工程図(その2)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.